

バイナリラッチアダプタ

CA-903N



CA-903Nは、プログラマブルゲインアンプCA-206L2および差動増幅器CA-406L2と組み合わせることにより、利得設定をバイナリコードで行えるばかりでなく、ラッチ機能を持たせることも可能にするアダプタです。

ラッチ制御入力端子を開放または+5Vにすると、利得設定バイナリコード入力スルーとなり、負論理のレベル信号で利得設定可能となります。ラッチ機能を働かせるときはラッチ制御入力を0Vにします。0Vになるエッジで利得設定バイナリコード入力の情報がラッチされます。

CA-206L2、CA-406L2との接続は同一ピン番号の8本にて行い、電源も供給されます。

▼絶対定格

電源電圧(+Vs)	+5.5V
制御電圧	+5.5V、-0.5V

▼入出力特性(真理値表)

利得	入力				出力								機能		
	G	C	B	A	1	2	5	10	X1	X10					
1	H	H	H	H	L	H	H	H	L	H					—
2	H	H	H	L	H	L	H	H	L	H					—
5	H	H	L	H	H	H	L	H	L	H					—
10	H	H	L	L	H	H	H	L	L	H					—
20	H	L	H	H	H	L	H	H	H	L					—
50	H	L	H	L	H	H	L	H	H	L					—
100	H	L	L	H	H	H	H	L	H	L					—
100	H	L	L	L	H	H	H	L	H	L					—
	L	X	X	X	Gの立ち下がりデータはラッチされます								ラッチ		

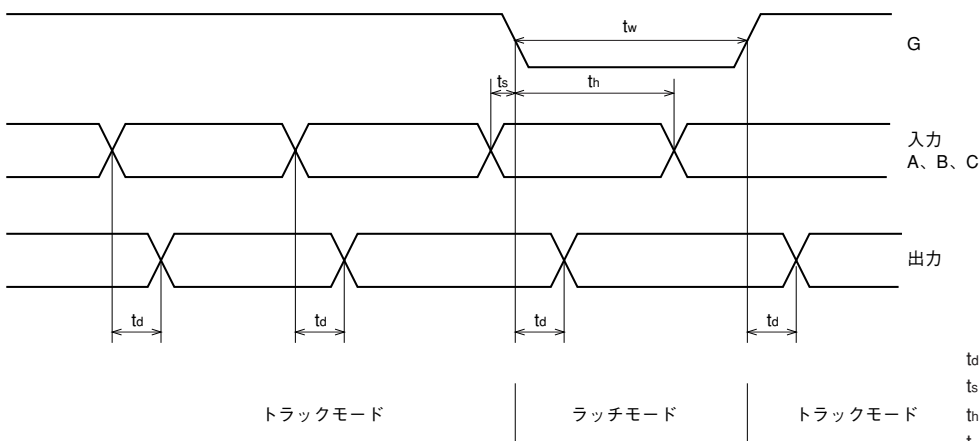
レベル	TTL、CMOS負論理
入力処理	100kΩにて+5Vに内部でプルアップ
ラッチ機能	トリガ端子⑰を開放またはHiにすると、制御入力の変化がそのまま出力に現れ、Loにすると、その立ち下がりの時点の制御入力の情報がラッチされます。

▼その他

電源電圧	+5V ±10%	
消費電流	150μA (typ)	1mA (max)
温湿度範囲	動作	-20°C~70°C 10%~95%RH
	保存	-30°C~80°C 10%~80%RH
外形寸法	51.5×14×4.0mm、S20型	

注) 特記なき場合は、23°C±5°C、Vs=±15V

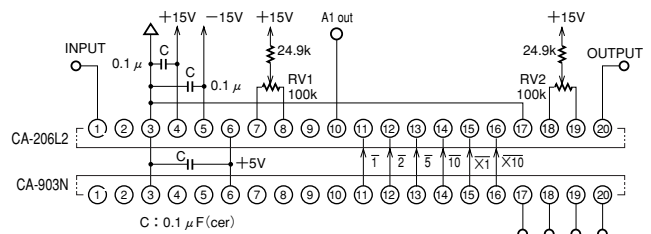
■制御信号タイミング図



- td: セットアップ遅延時間 850ns以内
- ts: 最小セットアップ時間 50ns以上
- th: 最小ホールド時間 50ns以上
- tw: 最小パルス幅 150ns以上

基本接続図

CA-206L2 との組合せ



CA-406L2 との組合せ

